

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150900  
(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 29/786

(21)Application number : 10-326889  
(22)Date of filing : 17.11.1998

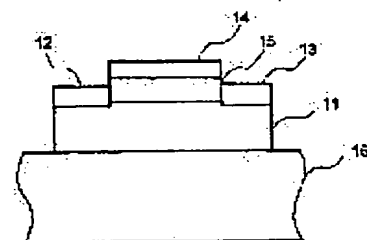
(71)Applicant : JAPAN SCIENCE & TECHNOLOGY CORP  
(72)Inventor : KAWASAKI MASASHI  
ONO HIDEO

## (54) TRANSISTOR AND SEMICONDUCTOR DEVICE

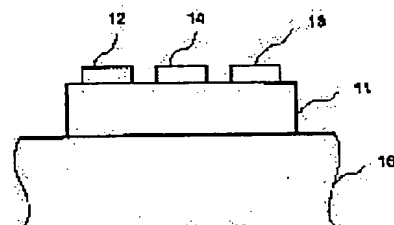
### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a partially or entirely transparent transistor using a transparent channel layer such as zinc oxide.

SOLUTION: A channel layer 11 is formed by a transparent semiconductor such as zinc oxide ZnO. In a source 12, a drain 13, or a gate 14, a transparent electrode is used for an entire part or one portion. As the transparent electrode, for example, a transparent conductive material such as conductive ZnO where a III-group element or the like is doped is used. As a gate insulation layer 15, for example, the transparent conductive material such as insulating ZnO where an element that can take a univalent valence or a V-family element is doped is used. In the case of a transparent substrate 16, for example, glass, sapphire, plastic, or the like can be used as a transparent material.



(A)



(B)

## LEGAL STATUS

[Date of request for examination]	07.06.2000
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3276930
[Date of registration]	08.02.2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-150900  
(P2000-150900A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.

識別記号

H 0 1 L 29/786

F I

H 0 1 L 29/78

テマコード\*(参考)

6 1 8 B 5 F 1 1 0

6 1 6 V

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21)出願番号

特願平10-326889

(22)出願日

平成10年11月17日(1998.11.17)

(71)出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72)発明者 川崎 雅司

神奈川県相模原市大野4-2-5-116

(72)発明者 大野 英男

宮城県仙台市泉区桂3-33-10

(74)代理人 100107010

弁理士 橋爪 健

Fターム(参考) 5F110 BB05 BB20 CC02 CC05 DD01

DD02 DD04 EE07 FF01 FF02

FF05 GG04 GG41 HK07 HK31

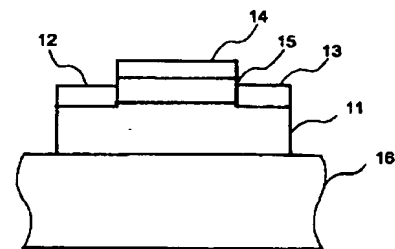
NN71

(54)【発明の名称】 トランジスタ及び半導体装置

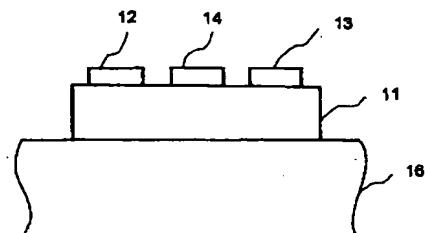
(57)【要約】

【課題】 酸化亜鉛等の透明チャネル層を用いた一部又は全部が透明なトランジスタを提供する。

【解決手段】 チャネル層11は、例えば、酸化亜鉛ZnO等の透明な半導体で形成される。ソース12、ドレイン13又はゲート14は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、II族元素等をドーピングした導電性ZnO等の透明導電性材料が用いられる。ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はV族元素をドーピングした絶縁性ZnO等の透明絶縁性材料が用いられる。基板16は、透明とする場合、透明な材料としては、例えば、ガラス、サファイア、プラスチック等を用いることができる。



(A)



(B)

## 【特許請求の範囲】

【請求項 1】酸化亜鉛  $ZnO$ 、酸化マグネシウム亜鉛  $Mg_x Zn_{1-x}O$ 、酸化カドミウム亜鉛  $Cd_x Zn_{1-x}O$ 、酸化カドミウム  $CdO$  の内いずれかを用いた透明チャネル層と、

III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性  $ZnO$  等の透明導電性材料、 $In_2O_3$ 、若しくは  $SnO_2$ 、若しくは  $(In-Sn)O_x$  などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートを備えたトランジスタ。

【請求項 2】前記透明チャネル層と前記ゲートとの間に、1価の価数を取りうる元素若しくはV族元素をドーブした絶縁性  $ZnO$  等の透明絶縁性材料、透明絶縁性酸化物、又は、透明絶縁体を用いたゲート絶縁層をさらに備えた請求項 1 に記載のトランジスタ。

【請求項 3】前記透明チャネル層と前記ゲートとの間に、 $Zn_{1-x}Li_xO$  又は  $Zn_{1-x}(Li, Mg)O$  等の強誘電性の透明絶縁材料を用いたゲート絶縁層をさらに備え、前記ゲート絶縁層がメモリ機能を有することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】前記透明チャネル層が形成されるための透明な絶縁性基板をさらに備えた請求項 1 乃至 3 のいずれかに記載のトランジスタ。

【請求項 5】請求項 1 乃至 4 のいずれかに記載のトランジスタと、

前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えた半導体装置。

【請求項 6】請求項 1 乃至 4 のいずれかに記載のトランジスタと、

前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体若しくは導体の領域と、前記領域上の前記ゲート絶縁層若しくは他の絶縁層と、前記ゲート絶縁層若しくは前記他の絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えた半導体装置。

【請求項 7】III族元素若しくはVII族元素をドーブした  $ZnO$  等の透明  $n$  形半導体により形成されたエミッタ並びにコレクタ、又は、ベースと、

I族元素若しくはV族元素をドーブした  $ZnO$  等の透明  $p$  形半導体により形成されたベース、又は、エミッタ並びにコレクタと、

III族元素若しくはVII族元素若しくはI族元素のいずれかをドーブした若しくはドーブしない導電性  $ZnO$  等の透明導電性材料、 $In_2O_3$ 、若しくは  $SnO_2$ 、若しくは  $(In-Sn)O_x$  などの透明導電体、又は、透明でな

い電極材料を、その全部又は一部に用い、前記ベース、エミッタ及びコレクタにそれぞれ形成された、ベース電極及びエミッタ電極及びコレクタ電極を備えたトランジスタ。

【請求項 8】請求項 7 に記載のトランジスタと、前記トランジスタの前記コレクタ若しくはエミッタと連続した領域、又は、前記コレクタ若しくはエミッタと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えた半導体装置。

【請求項 9】請求項 7 に記載のトランジスタと、前記トランジスタの前記コレクタ若しくはエミッタと連続した領域、又は、前記コレクタ若しくはエミッタと接続された他の半導体若しくは導体の領域と、前記領域上の絶縁層と、前記絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えた半導体装置。

【請求項 10】請求項 1 乃至 4、7 のいずれかに記載のトランジスタを、1 価の価数を取りうる元素若しくはV族元素をドーブした絶縁性  $ZnO$  等の透明絶縁性材料、透明絶縁性酸化物、又は、透明絶縁体を用いた絶縁層を介して、複数個積層したことを特徴とする半導体装置。

【請求項 11】請求項 1 乃至 4、7 のいずれかに記載のトランジスタを複数備え、複数の前記トランジスタ間の配線の全部又は一部に、III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性  $ZnO$  等の透明導電性材料、 $In_2O_3$ 、若しくは  $SnO_2$ 、若しくは  $(In-Sn)O_x$  などの透明導電体、又は、透明でない電極材料を用いたことを特徴とする半導体装置。

【請求項 12】請求項 1 乃至 4、7 に記載のトランジスタと、

III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性  $ZnO$  等の透明導電性材料、 $In_2O_3$ 、若しくは  $SnO_2$ 、若しくは  $(In-Sn)O_x$  などの透明導電体により形成されるインダクタを備えた半導体装置。

【請求項 13】請求項 5、6、8、9 のいずれかに記載の半導体装置を複数マトリクス状に配列し、各トランジスタによりコンデンサ又は発光部が駆動されるようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタ及び半導体装置に係り、特に、透明トランジスタと、透明トランジスタを積層した半導体装置、及び、透明トランジスタを発光素子の駆動用又はメモリの読み書き用等に適用した半導体装置に関する。なお、本発明において、説明の簡略上、「透明」という概念には、「透明又は透光性を有する」という概念が含まれるものとする。

【0002】

【従来の技術】一般に、液晶表示デバイスの駆動用等の

トランジスタとしては、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられている。これらの材料は、可視光領域に光感度を有しているため、光によりキャリアが生成されて抵抗が低下する。そのため、光が照射されると、トランジスタが、オフ状態に制御されているはずなのに、オン状態になってしまう場合がある。そこで、トランジスタをオフ状態に持続するために、従来では、金属被膜等の光の遮断層を用いて、光によるキャリア抵抗の低下を防止している。

【0003】

【発明が解決しようとする課題】一般に、液晶表示デバイスは、ノード型パソコン等に多く使用されており、省エネルギー化、高輝度化及び小型化が求められている。そのためには、単位画素に占める有効な表示部面積の割合を向上させることが有効である。しかしながら、上述のように、駆動用等のトランジスタでは、金属薄膜等の光の遮断層が形成されるため、画素の面積割合（開口率）が減少する。よって、輝度の明るい表示素子の開発には、トランジスタの高性能化によるトランジスタ面積の縮小、又は、バックライトの高輝度化が必要であった。しかしながら、トランジスタの高性能化による対策では、歩留まりの限界があり、コストが上昇することになる。また、バックライトを明るくすることによる対策では、エネルギー消費量が多くなってしまふ。

【0004】本発明は、以上の点に鑑み、従来困難であった酸化亜鉛等の配向制御や価電子制御が現在可能となったため、酸化亜鉛等の透明チャンネル層を用いた一部又は全部が透明なトランジスタを提供することを目的とする。すなわち、本発明は、チャンネル層（導電層）に透明な酸化亜鉛等の材料を用いることにより、可視光領域に光感度を有しないようにし、遮光層を形成する必要を無くし、液晶表示デバイス等の表示部の面積割合を向上させるようにしたトランジスタを提供することを目的とする。

【0005】また、本発明は、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野での多様な応用に用いることを目的とする。さらに、本発明は、光遮断層を必要としない駆動回路だけでなく、透明な電子素子として、各種の幅広い応用に用いた半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の第1の解決手段によると、酸化亜鉛 $ZnO$ 、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_xZn_{1-x}O$ 、酸化カドミウム $CdO$ の内いずれかを用いた透明チャンネル層と、III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性 $ZnO$ 等の透明導電性材料、 $In_2O_3$ 若しくは $SnO_2$ 若しくは $(In-Sn)O_x$ など

の透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートを備えたトランジスタを提供する。

【0007】本発明の第2の解決手段によると、III族元素若しくはVII族元素をドーブした $ZnO$ 等の透明n形半導体により形成されたエミッタ並びにコレクタ、又は、ベースと、I族元素若しくはV族元素をドーブした $ZnO$ 等の透明p形半導体により形成されたベース、又は、エミッタ並びにコレクタと、III族元素若しくはVII族元素若しくはI族元素のいずれかをドーブした若しくはドーブしない導電性 $ZnO$ 等の透明導電性材料、 $In_2O_3$ 若しくは $SnO_2$ 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用い、前記ベース、エミッタ及びコレクタにそれぞれ形成された、ベース電極及びエミッタ電極及びコレクタ電極を備えたトランジスタを提供する。

【0008】さらに、本発明は、透明トランジスタを積層とした半導体装置、発光素子及びメモリ等へ応用した半導体装置を提供する。

20 【0009】

【発明の実施の形態】（1）電解効果トランジスタ（Field Effect Transistor、FET）

図1に、本発明に係るトランジスタの第1の実施の形態の断面図を示す。図1（A）に示されるように、第1の実施の形態のトランジスタは、FETに関するものあり、チャンネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、基板16を備える。基板16の上には、チャンネル層11が形成される。チャンネル層11には、ゲート絶縁層15、ソース12及びドレイン13が形成される。ゲート絶縁層15の上には、ゲート14が形成される。

【0010】図1（B）には、第1の実施の形態の変形例が示される。このトランジスタは、基板16の上に、チャンネル層11が形成される。さらに、チャンネル層11には、ソース12及びドレイン13がオーミック接合により、ゲート14がショットキー接合により、それぞれ形成される。この例では、図1（A）と比べてゲート絶縁層15がないため、ソース12及びドレイン13とゲート14との間は適当な隙間が設けられる。

40 【0011】以下に各構成要素の材料について説明する。第1に、チャンネル層11は、透明な半導体で形成される。透明なチャンネル層の材料としては、例えば、酸化亜鉛 $ZnO$ 、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_xZn_{1-x}O$ 、酸化カドミウム $CdO$ 等のいずれかを用いることができる。これらの材料は、n形、p形、ドーブ有り又はドーブ無し of のいずれのものでも良い。

50 【0012】第2に、ソース12、ドレイン13又はゲート14は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、III族元素（B、

Al, Ga, In, Tl)、Ⅵ族元素(F, Cl, Br, I)、Ⅰ族元素(Li, Na, K, Rb, Cs)、Ⅴ族元素(N, P, As, Sb, Bi)のいずれかをドーピングした導電性ZnO、又は各種元素をドーピングしない導電性ZnO等の透明導電性材料が用いられる。ここで、これらの元素をドーピングする場合、ドーピング量は適宜設定することができる(例えば、高濃度にn形をドーピングした $n^{++}$ -ZnO等を用いることができるが、これに限定されない)。さらに、ソース12、ドレイン13又はゲート14としては、その他に、 $In_2O_3$ 、 $SnO_2$ 、 $(In-Sn)O_x$ などの透明導電体を用いることができる。また、透明な材料以外にも、Al、Cu等の金属や、高ドーピングした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、一部透明な材料を採用し、一部透明でない材料を採用することもできる。

【0013】第3に、ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はⅤ族元素をドーピングした絶縁性ZnO等の透明絶縁性材料が用いられる。1価の価数を取りうる元素としては、例えば、Ⅰ族元素(Li, Na, K, Rb, Cs)、Cu, Ag, Au等がある。Ⅴ族元素としては、N, P, As, Sb, Bi等がある。ゲート絶縁層15としては、その他にも、 $Al_2O_3$ 、 $MgO$ 、 $CeO_2$ 、 $ScAlMgO_4$ 、 $SiO_2$ 、等の透明絶縁性酸化物を用いることができる。さらに、ビニール、プラスチック等の透明な絶縁体を用いても良い。なお、ゲート絶縁層15は、チャンネル層11の材料と格子マッチングの良い高絶縁性の材料が好ましい。酸化亜鉛をチャンネル層とした場合、例えば、 $ScAlMgO_4$ 等が用いられる。これらは、全ての面内の格子定数が1%以内で一致しており、相互にエピタキシャル成長が可能である。また、ゲート絶縁層15に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、 $Zn_{1-x}Li_xO$ 、 $Zn_{1-x}(Li, Mg_{x-y})O$ 等を用いることができる。

【0014】第4に、基板16は、主に、絶縁性の材料が用いられる。基板を透明とする場合、透明な材料としては、例えば、ガラス、サファイア、プラスチック等を用いることができる。また、基板は、用途によっては、透明でない材料を用いても良い。例えば、液晶表示画面等のように透明性が要求されるような用途には、透明の基板を用いると良い。基板16として、最も高性能な材料のひとつとして、例えば、酸化亜鉛単結晶又は $ScAlMgO_4$ 単結晶を用いると、その基板上に透明チャンネル層11又はソース12並びにドレイン13等をエピタキシャル成長させることが可能である。サファイア単結晶の基板上にも、若干の粒界は存在するものの、チャンネル層11等をエピタキシャル成長が可能である。また、ガラス基板上でも、面内の配向方位に任意性があるものの、膜厚方向には、配向制御が可能であり、表示素

子の駆動回路としては、十分な特性を示すことができる。

【0015】図2に、本発明に係るトランジスタの第2及び第3の実施の形態の断面図を示す。図2(A)に示される第2の実施の形態のトランジスタは、FETに関するもので、チャンネル層21、ソース22、ドレイン23、ゲート24、ゲート絶縁層25、基板26を備える。基板26の上にソース22及びドレイン23が形成される。これらを覆うように、チャンネル層21が形成される。チャンネル層21には、さらに、ゲート絶縁層25が形成される。ゲート絶縁層25の上には、ゲート24が形成される。ここでは、ゲート24、ゲート絶縁層25及びチャンネル層21が、MIS構造となっている。

【0016】図2(B)に、本発明に係るトランジスタの第3の実施の形態の断面図を示す。このトランジスタは、第2の実施の形態の変形であり、図2(A)に示されたトランジスタとは、ゲート絶縁層25が形成されておらず、ゲート24とチャンネル層21とがショットキー接合の構造となっている。図2(A)のようにゲート絶縁層25を有する場合は、ゲートの印加電圧の制限が少ない。これに対し、図2(B)のようにゲート絶縁層25を有しない場合は、ゲート-ソース間及びゲート-ドレイン間の絶縁耐圧が低くなる。また、この場合は、製造プロセスは簡単となる。

【0017】図3に、本発明に係るトランジスタの第4の実施の形態の断面図を示す。第4の実施の形態のトランジスタは、FETに関するものであり、チャンネル層31、ソース32、ドレイン33、ゲート34、ゲート絶縁層35、基板36を備える。基板36の上にチャンネル層31が形成される。チャンネル層31には、ゲート絶縁層35が形成され、ゲート絶縁層35の上には、ゲート34が形成される。ソース32及びドレイン33は、例えば、ゲート絶縁層35をマスクとする拡散又はイオン注入等により、形成されることができる。また、この実施例の変形としてゲート34のサイズを適宜設定することにより、ゲート絶縁層35を省略することもできる。

【0018】なお、上述の第2～第4の実施の形態において、各構成要素の材料は、第1の実施の形態で説明したものと同様である。

【0019】(2)バイポーラトランジスタ

図4に、本発明に係るトランジスタの第5の実施の形態の断面図を示す。第5の実施の形態のトランジスタは、バイポーラトランジスタに関するもので、ベース41、エミッタ42及びコレクタ43、ベース電極44、エミッタ電極45及びコレクタ電極46、基板47を備える。

【0020】npn形トランジスタでは、エミッタ42及びコレクタ43は、n形透明半導体により形成され、ベース41はp形透明半導体により形成される。ベース電極44、エミッタ電極45及びコレクタ電極46は、

ベース41、エミッタ42及びコレクタ43上にそれぞれ形成される。同様に、pnp形トランジスタでは、括弧内で示したように、エミッタ42及びコレクタ43は、p形透明半導体により形成され、ベース41は、n形透明半導体により形成される。バイポーラトランジスタは、FETと比較して、大電流を流すことができるので、レーザ駆動等の大電流を必要とする場合等に、特に有利である。

【0021】以下に、各構成要素の材料について説明する。n形透明半導体としては、例えばn形ZnOが使用される。n形ZnOは、例えば、III族元素(B, Al, Ga, In, Tl)、VII族元素(F, Cl, Br, I)をドープしたZnOである。p形透明半導体としては、例えばp形ZnOが使用される。p形ZnOは、例えば、I族元素(Li, Na, K, Rb, Cs)、V族元素(N, P, As, Sb, Bi)をドープしたZnOである。これらの各元素のドープ量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。

【0022】ベース電極44、エミッタ電極45及びコレクタ電極46の材料は、第1の実施の形態で説明したソース12、ドレイン13又はゲート14の材料と同様である。すなわち、透明電極としては、例えば、III族元素(B, Al, Ga, In, Tl)、VII族元素(F, Cl, Br, I)、I族元素(Li, Na, K, Rb, Cs)のいずれかをドープした導電性ZnO、又は各種元素をドープしない導電性ZnO等の透明導電性材料が用いられる。ここで、これらの元素をドープする場合、ドープ量は適宜設定することができる(例えば、高濃度にn形をドープした $n^{++}$ -ZnO等を用いることができるが、これに限定されない)。さらに、ベース電極44、エミッタ電極45及びコレクタ電極46としては、その他に、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $(\text{In}-\text{Sn})\text{O}_x$ などの透明導電体を用いることができる。また、透明な材料以外にも、Al、Cu等の金属や、高ドープした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、透明又は透明でない材料を、これら電極の全部又は一部に適宜選択して用いることができる。

### 【0023】(3) 積層形半導体装置

図5に、積層形半導体装置の断面図を示す。これは、一例として、第1の実施の形態のトランジスタを積層した場合を示す。すなわち、チャンネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15及び基板16を備えたトランジスタの上に、さらに、第2のトランジスタが形成される。その際、第1のトランジスタと第2のトランジスタの間には、絶縁層57及び導電遮蔽層58が形成される。導電遮蔽層58は、第1と第2のトランジスタを電氣的に遮蔽するものである。第2のトランジスタとしては、基板となる絶縁層59が形成さ

れ、その上に、第2のソース52、第2のドレイン53が形成される。さらに、これらを覆うように第2のチャンネル層51が形成され、その上に、第2のゲート絶縁層55及び第2のゲート54が形成される。

【0024】絶縁層57、59の材料は、ゲート絶縁層15と同様のものでも良いし、透明基板16と同様の他の絶縁材料を用いても良い。導電遮蔽層58の材料は、ソース12、ドレイン13及びゲート14等と同様のものを使用することができる。なお、絶縁層57(又は59)を、チャンネル層11(又は、チャンネル層11とゲート絶縁層15)の厚さより十分厚くすることにより、導電遮蔽層58及び絶縁層59(又は57)を省略することもできる。トランジスタを積層する際は、チャンネル層11、第2のチャンネル層51又は絶縁層57等は、必要に応じて適宜平坦化されると良い。なお、平坦化プロセスが加わるとコスト増加の可能性があるため、これらの内適宜の層のみを平坦化するようにしても良い。また、積層するトランジスタの数は、必要に応じて適宜の個数重ねることができる。また、上述の第1～第5の実施の形態のトランジスタを適宜選択して積層することができる。さらに、複数の種類のトランジスタを選択して混合して積層しても良い。

### 【0025】(4) 発光素子への適用

図6(A)及び(B)に、本発明に係るFETを発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図6(A)の断面図のa、b及びcは、図6(B)の回路図のa、b及びcに対応する。このデバイスでは、チャンネル層61、ソース62、ドレイン63、ゲート64、ゲート絶縁層65及び基板66によりトランジスタが形成される。さらに、ドレイン63の領域の上に、半導体層67が形成されることにより、ドレイン63と半導体層67で発光部が形成される。また、ソース電極68、ゲート電極69及び発光部電極60が設けられている。発光部としては、ドレイン63としてn形半導体を使用した場合は、半導体層67はp形半導体を用いる。一方、ドレイン63としてp形半導体を用いた場合は、半導体層67はn形半導体を用いる。

【0026】半導体層67に、ゲート64と同様の透明な半導体材料を用い、発光部電極60に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板66を透明な材料とすることにより、発光部は、図において下方向に面発光が可能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下(すなわち、半導体層67や発光部電極60の上、又は、基板66の下)等に配置することにより、可視光に変換することもできる。

【0027】図7(A)及び(B)に、本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図7(A)の断面図のa、b及びcは、図7(B)の回路図のa、b及びc

に対応する。このデバイスでは、ベース71、エミッタ72及びコレクタ73、ベース電極74及びコレクタ電極76、基板77により、トランジスタが形成される。さらに、エミッタ72の領域の上に、半導体層78が形成されることにより、エミッタ72と半導体層78で発光部が形成される。また、半導体層78には、発光部電極79が形成される。エミッタ72としてn形半導体を使用した場合は、半導体層78はp形半導体を用いる。一方、エミッタ72としてp形半導体を用いた場合は、半導体層78はn形半導体を用いる。

【0028】半導体層78に、ベース71と同様の透明な半導体材料を用い、発光部電極79に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板77等を透明な材料とすることにより、発光部は、図において下方向に面発光が可能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下（すなわち、半導体層78や発光部電極79の上、又は、基板77の下）等に配置することにより、可視光に変換することもできる。

【0029】なお、第1～第3の実施の形態のトランジスタについても、同様に、発光部を形成して駆動用として組み合わせることができる。また、上述の説明では、発光部の一部にソース若しくはドレイン（コレクタ若しくはエミッタ）と連続した領域を使用したか、これに限られず、ソース若しくはドレイン（コレクタ若しくはエミッタ）と接続された他の半導体の領域を形成して、これを発光部の一部として使用しても良い。また、発光部は、発光ダイオードでもレーザダイオードでもよく、適宜の発光デバイスを形成することができる。さらに、本発明を適用すると、透明なトランジスタにより透明なZnO発光素子を駆動することにより、全て透明な半導体装置を作成することもできる。また、一部を透明とすることもできる。

【0030】さらに、発光部としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることができる。また、発光部及びトランジスタを複数個マトリクス状に配列し、各発光部を各々透明なトランジスタで駆動することにより、ディスプレイ、照明パネル、部分調光照明パネル等に適宜応用することができる。

【0031】（5）メモリへの適用

図8（A）及び（B）に、本発明に係るFETをメモリ素子の制御に適用したデバイスの断面図及び回路図を示す。図8（A）の断面図のa、b及びcは、図8（B）の回路図のa、b及びcに対応する。このデバイスでは、チャンネル層81、ソース82、ドレイン83、ゲート84、ゲート絶縁層85及び基板86によりトランジスタが形成される。ソース82上には、これと同様の透明導電性材料による導電層88が形成される。さらに、ドレイン83の領域の上に、ゲート絶縁層85を介して

半導体層又は導体層87が形成され、これら構成要素により、コンデンサが形成される。ここでは、コンデンサの電極間絶縁体としてゲート絶縁層85を用いているが、これとは別の絶縁層を形成して使用しても良い。また、コンデンサの電極としては、ドレイン又はソースと連続した領域を用いても良いし、ドレイン又はソースと接続されたその他の半導体領域又は導体領域を用いても良い。コンデンサを形成する電極材料としては、透明材料でも透明でない材料でもよく、一部透明材料を用いても良い。これら各層又は領域に対して適宜透明な材料を用いることにより、全体又は一部が透明なメモリを作成することができる。

【0032】また、本発明に係るバイポーラトランジスタを用いた場合にも、基板上に適宜コンデンサを形成することにより、メモリへ応用することができる。すなわち、例えば、上述の実施の形態のようなバイポーラトランジスタにおいて、コレクタ若しくはエミッタと連続した領域、又は、コレクタ若しくはエミッタと接続された他の半導体若しくは導体の領域と、この領域上の絶縁層と、絶縁層上の半導体層又は導体層とによりコンデンサを形成することができる。

【0033】なお、メモリに応用する際は、トランジスタ及びコンデンサをマトリクス状に配列し、各コンデンサを各トランジスタで駆動することにより、メモリデバイスを実現することができる。

【0034】（6）特性

図9に、本発明のトランジスタの特性図の一例を示す。この図は、本発明の第1の実施の形態において、チャンネル層にZnOを用いたFETについて、ドレイン電圧（横軸）を変化させたときのドレイン電流（縦軸）の変化の一例を示している。ここで、ZnOチャンネル層の厚さ200nm、ゲート絶縁層の厚さ100nm、ゲート長600μm、ゲート幅200μmとした。ゲート電圧 $V_g$ は、0V、-2V～-8Vとした。

【0035】（7）その他の応用

本発明のトランジスタは、発光素子、コンデンサ等の他の素子と同一基板に作成することができる。また、本発明のトランジスタを、同一種類又は違う種類にて複数形成し、それらトランジスタ間の配線に透明材料を用いることもできる。トランジスタ又はこのトランジスタで駆動される素子は、その一部又は全部を、適宜透明とすることができる。また、トランジスタの大きさ、厚さ、寸法、などは、用途やプロセス等に応じて適宜設計することができる。ドーピング量は、製造プロセス、デバイス性能等、必要に応じて適宜設定することができる。

【0036】また、透明n形半導体、透明p形半導体、透明導電性材料及び透明絶縁性材料として、半導体をZnOをベースとして各元素をドーピングする例を述べたが、これに限られるものではない。例えば、酸化亜鉛ZnO以外にも、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、

11

酸化カドミウム亜鉛 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、酸化カドミウム $\text{CdO}$ 等適宜の透明材料をベースとして各元素をドーピングするようにしても良い。

【0037】以上述べた他にも、本発明は、紫外光～X線領域の検出器を駆動して信号処理するトランジスタ、酸素センサ、そのほか、音波、SAW(Surface Acoustic Wave)、圧電性を組み合わせたデバイスに適用することにより、一部又は全部が透明な半導体装置を実現することができる。さらに、本発明は、自動車や家屋等の窓ガラスや透明プラスチック板等に電子回路を作りつけることができる。また、本発明は、コンピュータ周辺機器、例えば、キーボード、タッチパネル、ポインティングデバイスに、透明にすることができる。透明であることにより、密かに作成したり、他から見にくいように作成したり、また、デザイン面で斬新なものを提供したりすることができる。その他にも、本発明の応用範囲は、非常に広範である。

【0038】

【発明の効果】本発明によると、以上のように、酸化亜鉛等の透明チャンネル層を用いた一部又は全部が透明なトランジスタを提供することができる。すなわち、本発明によると、チャンネル層(導電層)に透明な酸化亜鉛等の材料を用いることにより、可視光領域に光感度を有しないようになり、遮光層を形成する必要がなくなり、液晶表示デバイス等の表示部の面積割合が向上するようにしたトランジスタを提供することができる。

【0039】また、本発明によると、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野で\*

12

\*の多様な応用に用いることができる。さらに、本発明によると、光遮断層を必要としない駆動回路だけでなく、透明な電子素子として、各種の幅広い応用に用いた半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るトランジスタの第1の実施の形態の断面図。

【図2】本発明に係るトランジスタの第2及び第3の実施の形態の断面図。

10 【図3】本発明に係るトランジスタの第4の実施の形態の断面図。

【図4】本発明に係るトランジスタの第5の実施の形態の断面図。

【図5】積層形半導体装置の断面図。

【図6】本発明に係るFETを発光素子の駆動に適用した半導体装置の断面図及び回路図。

【図7】本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図。

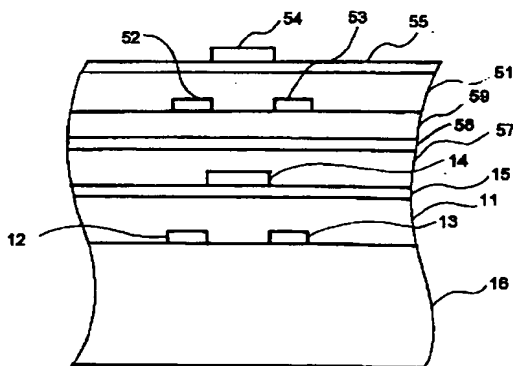
20 【図8】本発明に係るFETをメモリ素子の制御に適用したデバイスの断面図及び回路図。

【図9】本発明のトランジスタの特性図。

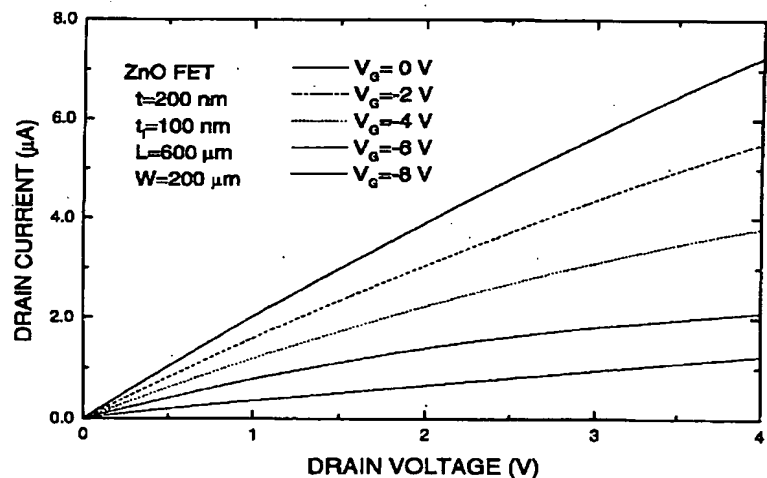
【符号の説明】

- 11 チャンネル層
- 12 ソース
- 13 ドレイン
- 14 ゲート
- 15 ゲート絶縁層
- 16 基板

【図5】

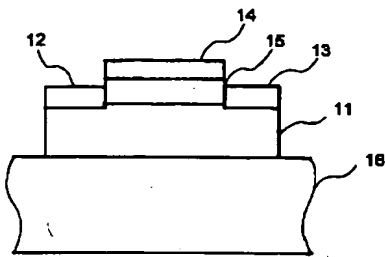


【図9】

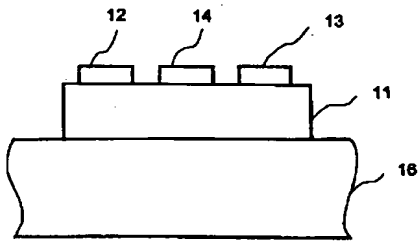




【図1】

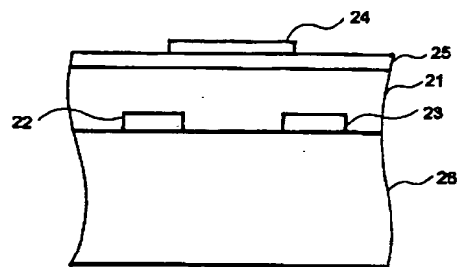


(A)

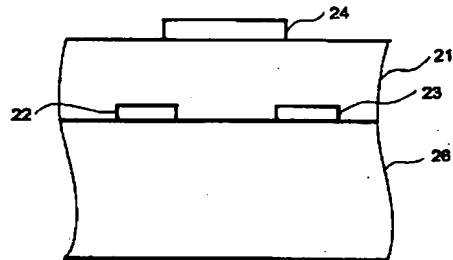


(B)

【図2】

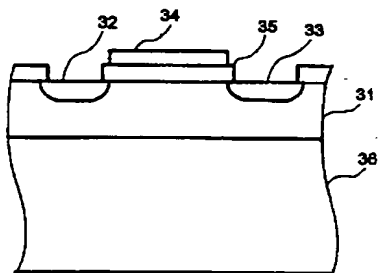


(A)

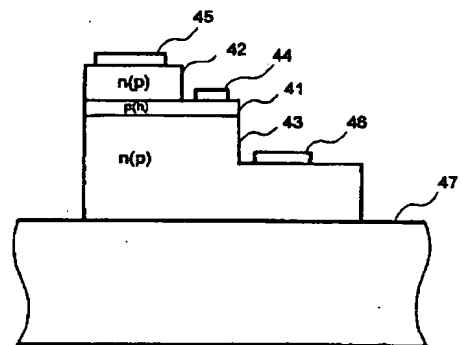


(B)

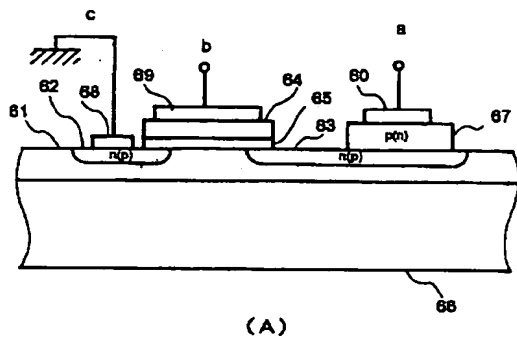
【図3】



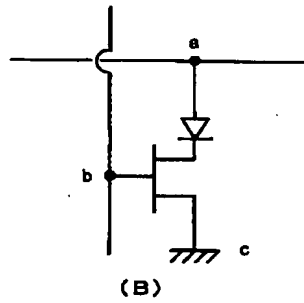
【図4】



【図6】

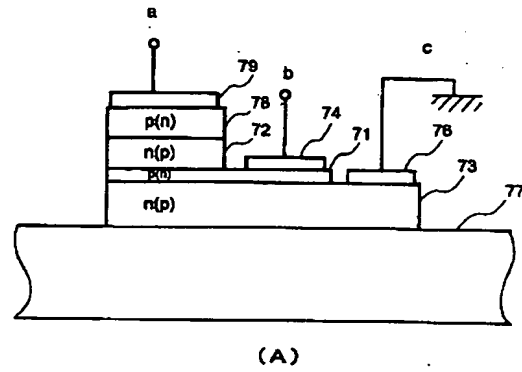


(A)

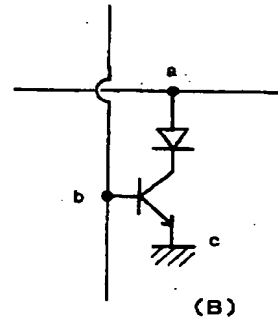


(B)

【図7】

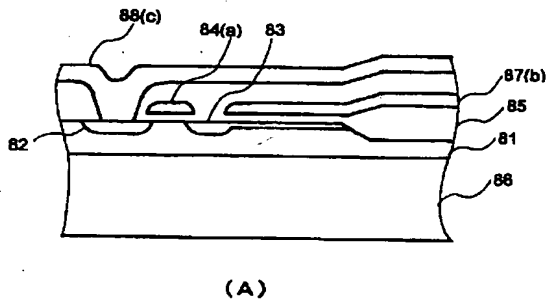


(A)

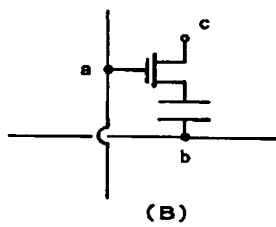


(B)

【図8】



(A)



(B)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**